

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-064662

(43)Date of publication of application : 07.03.1997

(51)Int.Cl.

H03F 3/45

H03F 3/345

(21)Application number : 07-221885

(71)Applicant : NEC YAMAGATA LTD

(22)Date of filing : 30.08.1995

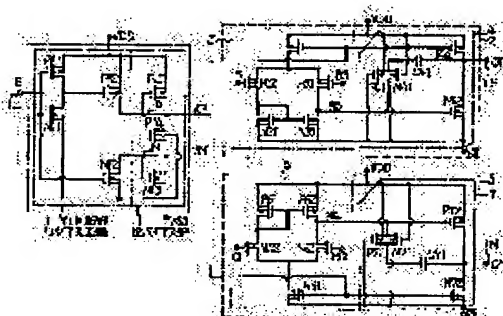
(72)Inventor : HOSHIKAWA EISAKU

## (54) OPERATIONAL AMPLIFIER

## (57)Abstract:

PROBLEM TO BE SOLVED: To reduce current consumption including a bias circuit and to reduce also the area of a chip.

SOLUTION: This operational amplifier is provided with a bias circuit 1 capable of receiving the supply of power sources VDD, VSS, generating bias voltage VP, VN and controlling the output and stop of these bias voltage VP, VN in response to the supply of a control signal E.



## LEGAL STATUS

[Date of request for examination] 30.08.1995

[Date of sending the examiner's decision of rejection] 12.01.1999

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection] 11-02306

[Date of requesting appeal against examiner's decision of rejection] 12.02.1999

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

[JP,09-064662,A]

## CLAIMS

[Claim(s)]

[Claim 1] The differential circuit of \*\*\*\* 1 which has the 1st current source which answers supply of the 1st bias voltage and operates, answers and carries out a differential amplifier to supply of the 1st phase assistant input signal, and outputs the 1st differential signal. The 1st amplifier which consists of the complementary MOS transistor circuit containing the 1st output circuit which has the 2nd current source which answers supply of the 1st bias voltage of the above, and operates, answers supply of the 1st differential signal of the above, and outputs the 1st output signal. The 2nd differential circuit which has the 3rd current source which answers supply of the 1st bias voltage of the above, and the 2nd bias voltage of reversed polarity, and operates, answers and carries out a differential amplifier to supply of the 2nd input signal of the complementation, and outputs the 2nd differential signal. The 2nd amplifier containing the 2nd output circuit which consists of the complementary MOS transistor circuit which has the 4th current source which answers supply of the 2nd bias voltage of the above, and operates, answers supply of the 2nd differential signal of the above, and outputs the 1st output signal of the above, and the 2nd output signal of reversed polarity. It is the operational amplifier equipped with the above, and while receiving supply of the 1st and the 2nd power supply and generating each of the above 1st and the 2nd bias voltage, it is characterized by having the bias voltage generating circuit which answers supply of a control signal and performs output of these [ 1st ] and the 2nd bias voltage, and control of a halt.

[Claim 2] The operational amplifier according to claim 1 characterized by providing the following. The 1st which common connection of each gate comrade was made, the aforementioned bias voltage generating circuit received supply of the aforementioned control signal, made common connection of each drain comrade, and connected each source to the above 1st and the 2nd power supply, respectively, the 1st of the 2nd conductivity type, the 2nd transistor. The 3rd transistor of the 1st conductivity type which connected the source to the 1st power supply of the above, and connected the drain to the drain of the 1st transistor of the above for the gate at the 1st joint, respectively. The control section which is equipped with the 4th transistor of the 2nd conductivity type which received supply of the aforementioned control signal in the gate,

connected the source to the 2nd power supply of the above, and connected the drain to the 2nd joint, respectively, answers the 1st of the aforementioned control signal, and the 2nd level, and performs the above 1st, generating of the 2nd bias voltage, and control of a halt. The 5th transistor of the 1st conductivity type which made common connection of the gate and the drain and connected the source to the 1st power supply of the above at the 1st joint of the above, respectively, The 6th transistor of the 1st conductivity type which received supply of the aforementioned control signal in the gate, connected the source to the 1st joint of the above, and connected the drain to the 2nd joint of the above, respectively, The bias generating section which is equipped with the 7th transistor of the 2nd conductivity type which made common connection of the gate and the drain and connected the source to the 2nd joint of the above at the 2nd power supply of the above, respectively, and outputs the above 1st and the 2nd bias voltage to each of the above 1st and the 2nd joint.

[Claim 3] The operational amplifier according to claim 2 characterized by the 8th transistor preparation \*\*\*\*\* of the 2nd conductivity type by which the aforementioned bias generating section made common connection of the gate with the gate of the 3rd transistor of the above instead of the 6th transistor of the above, and connected the source to the 2nd joint of the above, and it connected the drain to the 1st joint of the above, respectively.

## DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] this invention relates to the operational amplifier suitable for the liquid crystal display drive which consists of two or more amplifying circuits of especially CMOS composition about an operational amplifier.

[0002]

[Description of the Prior Art] In recent years, the analog circuit which consists of the CMOS transistor used abundantly by the digital circuit uses mostly, and is, and an operational amplifier is in one of them. The P type amplifier which makes a P channel transistor a current source fundamentally, and the N type amplifier which makes an N channel transistor a current source exist in this kind of operational amplifier.

[0003] For example, when rapidity is required from the standup of a driving signal, and falling both directions like a liquid crystal display (LCD) drive circuit, the above-mentioned demand rapidity can be attained by taking sole possession of each amplifier of P type to N type and falling to a standup.

[0004] When drawing 3 which shows an example of the drive wave of LCD is referred to, each voltage level for a LCD drive consists of the LCD lighting voltage VLCD and VSS (=0) and two astigmatism LGT level VL1 and VL2, and a LCD drive circuit supplies the voltage of VLCD-VSS during the lighting, and it supplies the voltage of VL1-VL2 during the astigmatism LGT. A LCD drive circuit supplies the wave of each above-mentioned voltage level using an operational amplifier. It can drive enough by using the operational amplifier of only the amplifier of P type or N type for the drive of the usual LCD. However, in the case of LCD of a big screen and a high definition, the load-carrying capacity of each operational amplifier for a drive also becomes [ each line and the number of pixels per train / many / therefore ] greatly. for example, if P type amplifier is used, in the standup first transition from voltage-level VL2 to VL1 of the drive wave corresponding to the time of OFF of the N channel transistor of an output circuit As a dotted line shows, before a wave's becoming blunt and reaching voltage-level VL1, these periods T1-T2 and T3 - T4 grade are completed, and normal voltage-level VL1 is not obtained. Consequently, the fault that the graphic character of LCD etc. flickers and it is visible arises. For this reason, the operational amplifier which takes sole possession of the above-mentioned N type amplifier in the drive of the standup of a drive wave conventionally, and takes sole possession of the above-mentioned P type amplifier in the drive of falling conventionally, respectively was used.

[0005] If drawing 4 (A) which is the circuit diagram showing an example of the 1st conventional operational amplifier which consists of fundamental P type and N type each amplifier, and (B) are referred to The bias circuit 8 which the amplifier 20 of P type shown in (A) receives supply with power supplies VDD and VSS, and outputs bias voltage VP, The differential circuit 3 which receives supply with power supplies VDD and VSS and bias voltage VP, answers and carries out a differential amplifier to supply of the input signals S and BS of the complementation, and outputs Signal PS, It has the output circuit 4 which receives supply with power supplies VDD and VSS and bias voltage VP, answers supply of Signal PS, and outputs an output signal OP.

[0006] A bias circuit 8 is equipped with the P channel type transistor P81 which carried out the series

connection, and the N channel type transistor N81 among power supplies VDD and VSS.

[0007] The P channel type transistor P31 for current sources with which the differential circuit 3 connected the source to the power supply VDD, and connected the gate to Bias VP, respectively, The transistors P32 and P33 of the P channel type which constitutes a differential pair, makes common connection of each source, connects with the drain of a transistor P31, and receives supply of Signals S and BS in the gate, respectively, The current Miller circuit which is an active load Constitute and the gate and the drain which made \*\*\*\* connection To the drain of a transistor P32, the source It has the transistor N32 which connects the gate to the gate of a transistor N31, connects the source to a power supply VSS for N channel type the transistor N31 and drain which connected with the power supply VSS, respectively, respectively, and outputs Signal PS to the drain of a transistor P33 from a drain.

[0008] The transistors P41 and N41 of P which an output circuit 4 constitutes the transfer gate, makes common connection of the source comrade, receives supply of Signal PS, makes common connection of the drain comrade, connects it to the end of a capacitor C41, and receives supply of power supplies VSS and VDD in the gate, respectively, and N each channel type, The transistors P42 and N42 of P which constituted the output amplifier, the source connected to power supplies VDD and VSS, and the gate connected to Bias VP and Signal PS, respectively, and made common connection of each drain comrade, and was connected at the other end and the output terminal TP of a capacitor C41, and N each channel type, It has a capacitor C41.

[0009] The amplifier 50 of N type shown in drawing 4 (B) is equipped with the bias circuit 9 which receives supply with power supplies VDD and VSS, and outputs bias voltage VN, the differential circuit 6 which receives supply with power supplies VDD and VSS and bias voltage VN, answers and carries out a differential amplifier to supply of the input signals Q and BQ of the complementation, and outputs Signal NQ, and the output circuit 7 which receives supply with power supplies VDD and VSS and bias voltage VN, answers supply of Signal NQ, and outputs an output signal ON.

[0010] A bias circuit 9 is equipped with the P channel type transistor P91 which carried out the series connection, and the N channel type transistor N91 among power supplies VDD and VSS.

[0011] The N channel type transistor N61 for current sources with which the differential circuit 6 connected the source to the power supply VSS, and connected the gate to Bias VN, respectively, The transistors N62 and N63 of the N channel type which constitutes a

differential pair, makes common connection of each source, connects with the drain of a transistor N61, and receives supply of Signals Q and BQ in the gate, respectively, The current Miller circuit which is an active load Constitute and the gate and the drain which made \*\*\*\* connection To the drain of a transistor N62, the source It has the transistor P62 which connects the gate to the gate of a transistor P61, connects the source to a power supply VDD for P channel type the transistor P31 and drain which connected with the power supply VDD, respectively, respectively, and outputs Signal NQ to the drain of a transistor N63 from a drain.

[0012] The transistors P71 and N71 of P which an output circuit 7 constitutes the transfer gate, makes common connection of the source comrade, receives supply of Signal NQ, makes common connection of the drain comrade, connects it to the end of a capacitor C71, and receives supply of power supplies VSS and VDD in the gate, respectively, and N each channel type, Constitute an output amplifier, and the source connects with power supplies VSS and VDD, the gate connects with Bias VN and Signal NQ, respectively, and common connection of each drain comrade is made. It has N and P each channel type the transistors N72 and P72 and capacitor C71 which were connected at the other end and the output terminal TN of a capacitor C71.

[0013] Next, if operation of the 1st conventional operational amplifier is explained with reference to drawing 4 (A) and (B), first, with the amplifier 20 of P type, a bias circuit 8 will generate the bias voltage VP determined from each size of each gate width [ of transistors P81 and N81 ] W, and channel-length L, and will supply each of a differential circuit 3 and an output circuit 4. Each of the transistor P31 of a differential circuit 3 and the transistor 42 of an output circuit 4 answers supply of bias voltage VP, operates as a current source, respectively, and operates each circuit of these differential circuits 3 and an output circuit 4. A differential circuit 3 amplifies the voltage difference of input signals S and BS, outputs Signal PS, and supplies it to an output circuit 4. The transistor N42 of an output circuit 4 answers supply of Signal PS, is amplified, and outputs an output signal OP to an output terminal TP.

[0014] In the amplifier 50 of N type, supply of that bias voltage serves as VN and Signals Q and BQ is received, and also operation of the above-mentioned P type amplifier and reversed polarity is performed, and an output signal ON is outputted to an output terminal TN.

[0015] By intercepting bias voltage at the time of an inoperative for the reduction in the consumed electric current of this kind of operational amplifier If drawing 5 which attaches reference characters/number common

to drawing 4 and a common component, and shows similarly the 2nd conventional operational amplifier given in JP,2-33206,A (reference 1) which intercepts an output circuit with a circuit diagram is referred to This conventional operational amplifier to drawing 3 and the common differential circuit 6 In addition, the bias circuit 15 which answers the level of a control signal C and performs generating and a halt of bias voltage VN while receiving supply with power supplies VDD and VSS and outputting bias voltage VN, The level shift circuit 16 which shifts the level of Signal NQ and outputs Signal SQ, While receiving supply of power supplies VDD and VSS and bias voltage VN \*\*, amplifying Signal NQ and outputting an output signal ON, it has the output circuit 17 which answers the level of a control signal D and controls the output and interception of an output signal ON.

[0016] Next, if operation of the 2nd conventional operational amplifier is explained with reference to drawing 5 , in order to consider as a normal operating state first, the level of the control signal C of the control terminal TC is set as power supply VDD level, and the control signal D of the control terminal TD is set as power supply VSS level, respectively. A transistor P151 will be in an OFF state, N151 will be in an ON state, and a bias circuit 15 supplies the bias voltage VN determined with transistors P152, N152, and N153. Both the transistors P172 and N171 that constitute the transfer gate will be in an ON state, and an output circuit 17 supplies the output signal SQ of a level shift circuit to the gate of a transistor N173 via these transistors P172 and N171. Moreover, transistors P173 and N172 will be in an OFF state, and the same operation as the output circuit 7 of the 1st conventional operational amplifier which changed into the high impedance state and was mentioned above is performed between the gate of a transistor P174, and a power supply VDD, or between the gate of a transistor N173, and a power supply VSS.

[0017] Next, in order to consider as low consumed-electric-current operating state, the level of a control signal C is set as power supply VSS level, and a control signal D is set as power supply VDD level, respectively. A transistor P151 will be in an ON state, N151 will be in an OFF state, therefore a transistor P152 will be in an OFF state, and current does not flow but, as for a bias circuit 15, as for bias voltage VN, it becomes equal to the threshold voltage of a transistor N153 at transistors N152 and N153. Since the transistor N61 of a differential circuit 6 and the transistor N161 of the level shift circuit 16 will be in an OFF state and the drain of transistors P62 and N61 will be in a high impedance state, the level of an output signal NQ stops thereby, becoming settled in a differential circuit 6. In

an output circuit 17, the transfer gate which consists of transistors P172 and N171 will be in an OFF state, and intercepts the signal SQ from the level shift circuit 16. Moreover, each of transistors P173 and N172 will be in an ON state, and intercepts transistors P174 and N173 by supplying power supplies VDD and VSS to each gate, respectively.

[0018] Although the 2nd above-mentioned conventional operational amplifier explained only N type amplifier, naturally the P type amplifier which made the conduction type of a transistor reverse like the 1st conventional operational amplifier is also used.

[0019]

[Problem(s) to be Solved by the Invention] In order to equip in parallel the conventional 1st mentioned above and the 2nd operational amplifier with the amplifier of the mold of both P and N which contain a bias circuit independently, respectively, they had the fault that the consumed electric current of a bias circuit became large.

[0020] Moreover, since it had an independent bias circuit respectively, there was a fault that chip area increased.

[0021] The purpose of this invention is to offer the operational amplifier which can reduce chip area while reducing the consumed electric current containing a bias circuit.

[0022]

[Means for Solving the Problem] The differential circuit of \*\*\*\* 1 which the operational amplifier of this invention has the 1st current source which answers supply of the 1st bias voltage and operates, answers and carries out a differential amplifier to supply of the 1st input signal of the complementation, and outputs the 1st differential signal, The 1st amplifier which consists of the complementary MOS transistor circuit containing the 1st output circuit which has the 2nd current source which answers supply of the 1st bias voltage of the above, and operates, answers supply of the 1st differential signal of the above, and outputs the 1st output signal, The 2nd differential circuit which has the 3rd current source which answers supply of the 1st bias voltage of the above, and the 2nd bias voltage of reversed polarity, and operates, answers and carries out a differential amplifier to supply of the 2nd input signal of the complementation, and outputs the 2nd differential signal, Have the 4th current source which answers supply of the 2nd bias voltage of the above, and operates, and supply of the 2nd differential signal of the above is answered. In an operational amplifier equipped with the 2nd amplifier containing the 2nd output circuit which consists of the complementary MOS transistor circuit which outputs the 1st output signal of the above, and the 2nd output signal of

reversed polarity While receiving supply of the 1st and the 2nd power supply and generating each of the above 1st and the 2nd bias voltage, it has the bias voltage generating circuit which answers supply of a control signal and performs output of these [ 1st ] and the 2nd bias voltage, and control of a halt, and is constituted.

[0023]

[Embodiments of the Invention] If drawing 1 which attaches reference characters/number common to drawing 4 and a common component, and shows the form of operation of this invention with a circuit diagram similarly is referred to, next, the operational amplifier of the form of this operation shown in this drawing It adds to the amplifier 5 containing the amplifier 2 containing the 1st amplifier 20, conventional common differential circuit 3, and conventional output circuit 4 of P type of an operational amplifier, the amplifier 50 of N type, the common differential circuit 6, and an output circuit 7. While receiving supply of power supplies VDD and VSS and outputting bias voltage VP and VN, it has the bias circuit 1 which answers the level of a control signal E and performs generating and a halt of bias voltage VP and VN.

[0024] A bias circuit 1 is equipped with the control section 11 which answers the level of a control signal E and controls generating and a halt of bias voltage VP and VN, and the bias section 12 which generates bias voltage VP and VN.

[0025] P and the N channel type transistors P11 and N11 which the control section 11 received supply of a control signal E in the gate which made common connection, made common connection of each drain comrade, and connected each source to power supplies VDD and VSS, The P channel type transistor P12 which connected the source to the power supply VDD and connected the drain to the drain of a transistor P11 for the gate at Joint P, respectively, It has the N channel type transistor N12 which received supply of a control signal E in the gate, connected the source to the power supply VSS and connected the drain to Joint N, respectively.

[0026] It has the P channel type transistor P14 which received supply of a control signal E in the P channel type transistor P13 with which the bias section 12 made common connection of the gate and the drain, and connected the source to Joint P at the power supply VDD, respectively, and the gate, connected the source to Joint P and connected the drain to Joint N, respectively, and the N channel type transistor N13 which made common connection of the gate and the drain and connected the source to the power supply VSS at Joint N

[0027] Next, if operation of the form of this operation

is explained with reference to drawing 1, at the time of normal operation, the level of a control signal E is first set as supply voltage VSS, a transistor P11 will be in an ON state, and a transistor N11 will be in an OFF state. Thereby, since supply voltage VDD is supplied to the gate and the voltage VGS between the gate sources is set to 0V, a transistor P12 will be in an OFF state. Moreover, since supply voltage VSS is supplied to the gate and the voltage VGS between the gate sources is set to 0V, a transistor N12 will be in an OFF state similarly. Furthermore, since supply voltage VSS is supplied to the gate and the voltage VGS between the gate sources serves as VP, a transistor P14 will be in an ON state. Consequently, the gate drain of a transistor P13 and the source of a transistor P14 by which diode connection was made serve as this potential, and generate the potential bias voltage VP in this joint P. This voltage VP serves as a value by the voltage drop lower than a power supply VDD by the bias current of a transistor P13. On the other hand, each drain of transistors P14 and N13 serves as this potential, and generates bias voltage VN in this joint N. This voltage VN serves as a value by the voltage drop higher than a power supply VSS by the bias current of the transistor N13 by which diode connection was made.

[0028] Next, these amplifier 2 and 5 will be in operating state by supplying bias voltage VP to the gate of the transistors P31 and P42 of the differential circuit 3 of amplifier 2, and an output circuit 4, and supplying bias voltage VN to the gate of the transistors N61 and P72 of the differential circuit 6 of amplifier 5, and an output circuit 7.

[0029] Next, at the time of low consumed-electric-current operation, the level of a control signal E is set as supply voltage VDD, a transistor P11 will be in an OFF state, and a transistor N11 will be in an ON state. Thereby, supply voltage VSS will be supplied to the gate, a transistor P12 will be in an ON state, and the level of a drain serves as supply voltage VDD. Thereby, since supply voltage VDD is supplied to the gate and the voltage VGS between the gate sources is set to 0V, a transistor P13 will be in an OFF state. Moreover, since the source serves as supply voltage VDD level, supply voltage VDD is supplied to the gate and the voltage VGS between the gate sources is set to 0V, a transistor P14 will be in an OFF state. Furthermore, the drain which supply voltage VDD would be in the ON state at the gate since the voltage VGS between the gate sources was set to VDD by being supplied, and connected the transistor N12 to Joint N serves as VSS level. Since the level VSS and the source of Joint N are VSS, the gate will be set to 0V, and the voltage VGS between the gate sources of a transistor N13 will be in an OFF state. Therefore, in a bias circuit 1, since a

transistor P14 is an OFF state, transistors P13 and N13 are intercepted, and a bias current does not flow. Moreover, bias voltage VP and VN serves as VDDVSS, respectively.

[0030] Next, if the bias voltage VP of supply voltage VDD level is supplied to the gate of the transistors P31 and P42 of the differential circuit 3 of amplifier 2, and an output circuit 4, operation will be stopped as follows, respectively. First, since the level of the source of a transistor P31 is supply voltage VDD from the first when level VDD is supplied to the gate of a transistor P31, the voltage between the gate sources will be set to 0, and will be in an OFF state. Therefore, the supply of current to the differential pair transistors P32 and P33 and the load transistors N31 and N32 stops, and the impedance of the drain common node of transistors P33 and N32 rises, therefore the potential of this joint, i.e., the level of Signal PS, becomes unfixed. Moreover, since the level of the source of this transistor P42 is supply voltage VDD from the first when voltage VDD is supplied to the gate of a transistor P42, the voltage between the gate sources will be set to 0, and will be in an OFF state. Thereby, the discharge current over an output terminal TP is intercepted.

[0031] Similarly, if the bias voltage VN of supply voltage VSS level is supplied to the gate of the transistors N61 and P72 of the differential circuit 6 of amplifier 5, and an output circuit 7, it will become amplifier 2 and reversed polarity, and also deed operation is stopped for the same operation. That is, a transistor N61 will be in an OFF state, the supply of current to the differential pair transistors N62 and N63 and the load transistors P61 and P62 stops, the impedance of the drain common node of transistors N63 and P62 rises, and the level of Signal NQ becomes unfixed. Moreover, a transistor N72 will be in an OFF state, and the sink current from an output terminal TN is intercepted.

[0032] Next, when drawing 2 which drawing 1 and a common component attach a common character, and shows similarly bias circuit 1A of the form of operation of the 2nd of this invention with a circuit diagram is referred to, the difference with the form of the 1st operation of a \*\*\*\* of bias circuit 1A shown in this drawing is having bias section 12A which has the N channel type transistor N14 which made common connection of the gate with the gate of a transistor P12 instead of the transistor P14.

[0033] About operation, it is the same as that of the form of the 1st operation.

[0034]

[Effect of the Invention] As explained above, the operational amplifier of this invention By having the bias voltage generating circuit which answers supply of

a control signal E and performs output of these bias voltage VP and VN, and control of a halt while generating each of the 1st and the 2nd bias voltage VP and VN. Since normal operation and low consumed-electric-current operation can be changed while supplying the bias of P and N car type amplifier by the single bias circuit, there is an effect of reducing the consumed electric current at the time of operation needed by two or more bias circuits and that both chip area is reducible.

#### DESCRIPTION OF DRAWINGS

---

##### [Brief Description of the Drawings]

[Drawing 1] It is the circuit diagram showing the gestalt of operation of the 1st of the operational amplifier of this invention.

[Drawing 2] It is the circuit diagram of a bias circuit showing the gestalt of operation of the 2nd of the operational amplifier of this invention.

[Drawing 3] It is the wave form chart showing an example of the LCD drive wave by the operational amplifier.

[Drawing 4] It is the circuit diagram showing an example of the 1st conventional operational amplifier.

[Drawing 5] It is the circuit diagram showing an example of the 2nd conventional operational amplifier.

##### [Description of Notations]

1, 1A, 8, 9, 15 Bias circuit

2, 5, 20, 50 Amplifier

3 Six Differential circuit

4, 7, 17 Output circuit

11 Control Section

12 Bias Section

16 Level Shift Circuit

N11-N14, N31, N32, N41, N42, N61-N63, N71, N72,

N151, N152, N171-N173, P11-P14, P31-P33, P41, P42,

P61, P62, P71, P72, P151-P153, P171-P174 Transistor

#### \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-64662

(43) 公開日 平成9年(1997)3月7日

| (51) Int.Cl. <sup>6</sup> | 識別記号  | 庁内整理番号 | F I     | 技術表示箇所 |
|---------------------------|-------|--------|---------|--------|
| H 0 3 F                   | 3/45  |        | H 0 3 F | B      |
|                           | 3/345 |        | 3/345   | B      |

審査請求 有 請求項の数 3 O L (全 7 頁)

(21) 出願番号 特願平7-221885

(22) 出願日 平成7年(1995)8月30日

(71) 出願人 390001915

山形日本電気株式会社

山形県山形市北町4丁目12番12号

(72) 発明者 星川 栄作

山形県山形市北町四丁目12番12号 山形日

本電気株式会社内

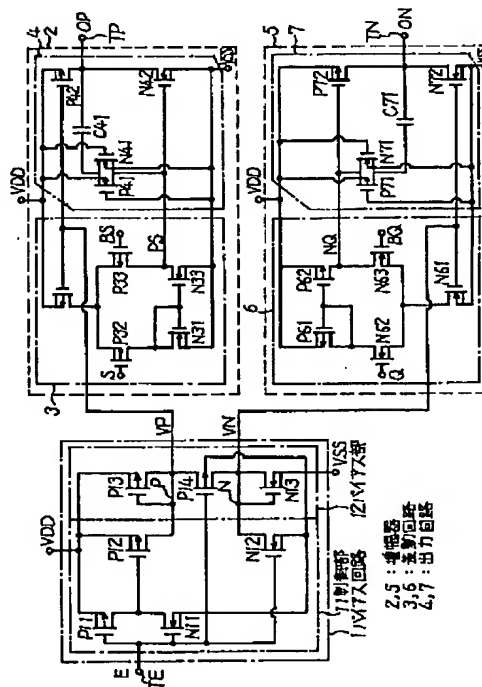
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 演算増幅器

(57) 【要約】

【課題】 バイアス回路を含む消費電流を低減するとともにチップ面積を縮小する。

【解決手段】 電源VDD、VSSの供給を受けバイアス電圧VP、VNの各々を発生するとともに制御信号Eの供給にตอบสนองしてこれらバイアス電圧VP、VNの出力および停止の制御を行うバイアス回路1を備える。



## 【特許請求の範囲】

【請求項1】 第1のバイアス電圧の供給にตอบสนองして動作する第1の電流源を有し相補の第1の入力信号の供給にตอบสนองして差動増幅し第1の差動信号を出力する第1の差動回路と、前記第1のバイアス電圧の供給にตอบสนองして動作する第2の電流源を有し前記第1の差動信号の供給にตอบสนองして第1の出力信号を出力する第1の出力回路とを含む相補型MOSトランジスタ回路から成る第1の増幅器と、前記第1のバイアス電圧と逆極性の第2のバイアス電圧の供給にตอบสนองして動作する第3の電流源を有し相補の第2の入力信号の供給にตอบสนองして差動増幅し第2の差動信号を出力する第2の差動回路と、前記第2のバイアス電圧の供給にตอบสนองして動作する第4の電流源を有し前記第2の差動信号の供給にตอบสนองして前記第1の出力信号と逆極性の第2の出力信号を出力する相補型MOSトランジスタ回路から成る第2の出力回路とを含む第2の増幅器とを備える演算増幅器において、

第1、第2の電源の供給を受け前記第1、第2のバイアス電圧の各々を発生するとともに制御信号の供給にตอบสนองしてこれら第1、第2のバイアス電圧の出力および停止の制御を行うバイアス電圧発生回路を備えることを特徴とする演算増幅器。

【請求項2】 前記バイアス電圧発生回路が、各々のゲート同志を共通接続して前記制御信号の供給を受け各々のドレイン同志を共通接続し各々のソースを前記第1、第2の電源にそれぞれ接続した第1、第2の導電型の第1、第2のトランジスタと、ゲートを前記第1のトランジスタのドレインにソースを前記第1の電源にドレインを第1の節点にそれぞれ接続した第1の導電型の第3のトランジスタと、ゲートに前記制御信号の供給を受けソースを前記第2の電源にドレインを第2の節点にそれぞれ接続した第2の導電型の第4のトランジスタとを備え、前記制御信号の第1、第2のレベルにตอบสนองして前記第1、第2のバイアス電圧の発生および停止の制御を行う制御部と、

ソースを前記第1の電源にゲートとドレインを共通接続して前記第1の節点にそれぞれ接続した第1の導電型の第5のトランジスタと、ゲートに前記制御信号の供給を受けソースを前記第1の節点にドレインを前記第2の節点にそれぞれ接続した第1の導電型の第6のトランジスタと、ソースを前記第2の電源にゲートとドレインを共通接続して前記第2の節点にそれぞれ接続した第2の導電型の第7のトランジスタとを備え、前記第1、第2の節点の各々に前記第1、第2のバイアス電圧を出力するバイアス発生部とを備えることを特徴とする請求項1記載の演算増幅器。

【請求項3】 前記バイアス発生部が、前記第6のトランジスタの代りにゲートを前記第3のトランジスタのゲートと共通接続しソースを前記第2の節点にドレインを前記第1の節点にそれぞれ接続した第2の導電型の第8

のトランジスタを備えることを特徴とする請求項2記載の演算増幅器。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は演算増幅器に関し、特にCMOS構成の複数の増幅回路から成る液晶表示装置駆動用に適した演算増幅器に関する。

## 【0002】

【従来の技術】近年、デジタル回路で多用されるCMOSトランジスタから成るアナログ回路が多く用いられており、その一つに演算増幅器がある。この種の演算増幅器には、基本的にPチャネルトランジスタを電流源とするP型増幅器と、Nチャネルトランジスタを電流源とするN型増幅器とが存在する。

【0003】例えば、液晶表示装置(LCD)駆動回路のように駆動信号の立上り、立下り両方向に対し高速性が要求される場合には、立上りに対してはN型、立下りに対してはP型の各増幅器を専用することにより、上記要求高速性を達成できる。

【0004】LCDの駆動波形の一例を示す図3を参照すると、LCD駆動用の各電圧レベルはLCD点灯電圧V<sub>LC</sub>D、V<sub>SS</sub>(=0)および2つの非点灯レベルV<sub>L</sub>1、V<sub>L</sub>2から成り、LCD駆動回路は点灯期間にはV<sub>LC</sub>D-V<sub>SS</sub>の電圧を、非点灯期間にはV<sub>L</sub>1-V<sub>L</sub>2の電圧を供給する。LCD駆動回路は演算増幅器を用いて上記各電圧レベルの波形を供給する。通常のLCDの駆動用にはP型あるいはN型の増幅器のみの演算増幅器を用いることにより十分駆動できる。しかし、大画面および高精細度のLCDの場合は各行、列当りの画素数が多くしたがって各駆動用演算増幅器の負荷容量も大きくなり、例えばP型増幅器を用いると出力回路のNチャネルトランジスタのオフ時に対応する駆動波形の電圧レベルV<sub>L</sub>2からV<sub>L</sub>1への立上り前縁では、点線で示すように波形が鈍り電圧レベルV<sub>L</sub>1に到達する前にこの期間T<sub>1</sub>~T<sub>2</sub>、T<sub>3</sub>~T<sub>4</sub>等が終了し正常な電圧レベルV<sub>L</sub>1が得られない。この結果、LCDの表示文字等がちらついて見えるという不具合が生じる。このため、従来は駆動波形の立上りの駆動用に上記N型増幅器を立下りの駆動用に上記P型増幅器をそれぞれ専用する演算増幅器を用いていた。

【0005】基本的なP型およびN型各増幅器とから成る従来の第1の演算増幅器の一例を示す回路図である図4(A)、(B)を参照すると、(A)に示すP型の増幅器20は電源V<sub>DD</sub>、V<sub>SS</sub>との供給を受けバイアス電圧V<sub>P</sub>を出力するバイアス回路8と、電源V<sub>DD</sub>、V<sub>SS</sub>とバイアス電圧V<sub>P</sub>との供給を受け相補の入力信号S、B<sub>S</sub>の供給にตอบสนองして差動増幅し信号P<sub>S</sub>を出力する差動回路3と、電源V<sub>DD</sub>、V<sub>SS</sub>とバイアス電圧V<sub>P</sub>との供給を受け信号P<sub>S</sub>の供給にตอบสนองして出力信号O<sub>P</sub>を出力する出力回路4とを備える。

【0006】バイアス回路8は電源VDD、VSSとの間に直列接続したPチャネル型のトランジスタP81とNチャネル型のトランジスタN81とを備える。

【0007】差動回路3は、ソースを電源VDDにゲートをバイアスVPにそれぞれ接続した電流源用のPチャネル型トランジスタP31と、差動対を構成し各々のソースを共通接続してトランジスタP31のドレインに接続しゲートにそれぞれ信号S、BSの供給を受けるPチャネル型のトランジスタP32、P33と、アクティブ負荷であるカレントミラー回路を構成し共通接続したゲートとドレインをトランジスタP32のドレインにソースを電源VSSにそれぞれ接続したNチャネル型のトランジスタN31およびドレインをトランジスタP33のドレインにゲートをトランジスタN31のゲートにソースを電源VSSにそれぞれ接続しドレインから信号PSを出力するトランジスタN32とを備える。

【0008】出力回路4は、トランスファゲートを構成しソース同志を共通接続して信号PSの供給を受けドレイン同志を共通接続してコンデンサC41の一端に接続しゲートにそれぞれ電源VSS、VDDの供給を受けるP、N各チャネル型のトランジスタP41、N41と、出力増幅器を構成しソースがそれぞれ電源VDD、VSSにゲートがそれぞれバイアスVP、信号PSにそれぞれ接続し各々のドレイン同志を共通接続してコンデンサC41の他端と出力端子TPに接続したP、N各チャネル型のトランジスタP42、N42と、コンデンサC41とを備える。

【0009】図4(B)に示すN型の増幅器50は、電源VDD、VSSとの供給を受けバイアス電圧VNを出力するバイアス回路9と、電源VDD、VSSとバイアス電圧VNとの供給を受け相補の入力信号Q、BQの供給にตอบสนองして差動増幅し信号NQを出力する差動回路6と、電源VDD、VSSとバイアス電圧VNとの供給を受け信号NQの供給にตอบสนองして出力信号ONを出力する出力回路7とを備える。

【0010】バイアス回路9は電源VDD、VSSとの間に直列接続したPチャネル型のトランジスタP91とNチャネル型のトランジスタN91とを備える。

【0011】差動回路6は、ソースを電源VSSにゲートをバイアスVNにそれぞれ接続した電流源用のNチャネル型トランジスタN61と、差動対を構成し各々のソースを共通接続してトランジスタN61のドレインに接続しゲートにそれぞれ信号Q、BQの供給を受けるNチャネル型のトランジスタN62、N63と、アクティブ負荷であるカレントミラー回路を構成し共通接続したゲートとドレインをトランジスタN62のドレインにソースを電源VDDにそれぞれ接続したPチャネル型のトランジスタP31およびドレインをトランジスタN63のドレインにゲートをトランジスタP61のゲートにソースを電源VDDにそれぞれ接続しドレインから信号NQ

を出力するトランジスタP62とを備える。

【0012】出力回路7は、トランスファゲートを構成しソース同志を共通接続して信号NQの供給を受けドレイン同志を共通接続してコンデンサC71の一端に接続しゲートにそれぞれ電源VSS、VDDの供給を受けるP、N各チャネル型のトランジスタP71、N71と、出力増幅器を構成しソースがそれぞれ電源VSS、VDDにゲートがそれぞれバイアスVN、信号NQにそれぞれ接続し各々のドレイン同志を共通接続してコンデンサC71の他端と出力端子TNに接続したN、P各チャネル型のトランジスタN72、P72とコンデンサC71とを備える。

【0013】次に図4(A)、(B)を参照して従来の第1の演算増幅器の動作について説明すると、まずP型の増幅器20では、バイアス回路8がトランジスタP81、N81の各々のゲート幅W、チャネル長Lの各サイズから決定されるバイアス電圧VPを発生し、差動回路3および出力回路4の各々に供給する。差動回路3のトランジスタP31、出力回路4のトランジスタ42の各々はバイアス電圧VPの供給にตอบสนองしてそれぞれ電流源として作動しこれら差動回路3、出力回路4の各回路を動作させる。差動回路3は入力信号S、BSの電圧差を増幅し信号PSを出力し出力回路4に供給する。出力回路4のトランジスタN42は信号PSの供給にตอบสนองして増幅し出力端子TPに出力信号OPを出力する。

【0014】N型の増幅器50では、バイアス電圧がVNとなることと信号Q、BQの供給を受けるほかは上記P型増幅器と逆極性の動作を行い出力端子TNに出力信号ONを出力する。

【0015】この種の演算増幅器の低消費電流化のため非動作時にバイアス電圧を遮断することにより出力回路を遮断する特開平2-33206号公報(文献1)記載の従来の第2の演算増幅器を図4と共通の構成要素には共通の参照文字/数字を付して同様に回路図で示す図5を参照すると、この従来の演算増幅器は図3と共通の差動回路6に加えて、電源VDD、VSSとの供給を受けバイアス電圧VNを出力するとともに制御信号Cのレベルにตอบสนองしてバイアス電圧VNの発生・停止を行うバイアス回路15と、信号NQのレベルをシフトして信号SQを出力するレベルシフト回路16と、電源VDD、VSSおよびバイアス電圧VNの供給を受け信号NQを増幅して出力信号ONを出力するとともに制御信号Dのレベルにตอบสนองして出力信号ONの出力・遮断を制御する出力回路17とを備える。

【0016】次に、図5を参照して、従来の第2の演算増幅器の動作について説明すると、まず通常の動作状態とするためには、制御端子TCの制御信号Cのレベルを電源VDDレベルに制御端子TDの制御信号Dを電源VSSレベルにそれぞれ設定する。バイアス回路15はトランジスタP151はオフ状態、N151はオン状態と

なり、トランジスタP152, N152, N153とにより決定されるバイアス電圧VNを供給する。出力回路17は、トランスファゲートを構成するトランジスタP172, N171がともにオン状態となりこれらトランジスタP172, N171を経由してレベルシフト回路の出力信号SQをトランジスタN173のゲートに供給する。また、トランジスタP173, N172はオフ状態となり、トランジスタP174のゲートと電源VDDとの間あるいはトランジスタN173のゲートと電源VSSとの間はハイインピーダンス状態となり上述した従来の第1の演算増幅器の出力回路7と同一の動作を行う。

【0017】次に、低消費電流動作状態とするためには、制御信号Cのレベルを電源VSSレベルに制御信号Dを電源VDDレベルにそれぞれ設定する。バイアス回路15はトランジスタP151はオン状態、N151はオフ状態となり、したがってトランジスタP152はオフ状態となり、トランジスタN152, N153には電流が流れずバイアス電圧VNはトランジスタN153のしきい値電圧と等しくなる。これにより、差動回路6のトランジスタN61, レベルシフト回路16のトランジスタN161はオフ状態となり、トランジスタP62, N61のドレインがハイインピーダンス状態となるので、出力信号NQのレベルは差動回路6では定まらなくなる。出力回路17では、トランジスタP172, N171から成るトランスファゲートはオフ状態となり、レベルシフト回路16からの信号SQを遮断する。また、トランジスタP173, N172の各々はオン状態となり、各々のゲートにそれぞれ電源VDD, VSSを供給することによりトランジスタP174, N173を遮断する。

【0018】上述の従来の第2の演算増幅器はN型増幅器のみについて説明したが第1の従来の演算増幅器と同様にトランジスタの伝導型を逆にしたP型増幅器も当然用いられる。

【0019】

【発明が解決しようとする課題】上述した従来の第1, 第2の演算増幅器は、それぞれバイアス回路を独立に含むP, N両方の型の増幅器を並列に備えるためバイアス回路の消費電流が大きくなるという欠点があった。

【0020】また、各々独立のバイアス回路を有するためチップ面積が増加するという欠点があった。

【0021】本発明の目的は、バイアス回路を含む消費電流を低減するとともにチップ面積を縮小できる演算増幅器を提供することにある。

【0022】

【課題を解決するための手段】本発明の演算増幅器は、第1のバイアス電圧の供給に応答して動作する第1の電流源を有し相補の第1の入力信号の供給に応答して差動増幅し第1の差動信号を出力する第1の差動回路と、

前記第1のバイアス電圧の供給に応答して動作する第2の電流源を有し前記第1の差動信号の供給に応答して第1の出力信号を出力する第1の出力回路とを含む相補型MOSトランジスタ回路から成る第1の増幅器と、前記第1のバイアス電圧と逆極性の第2のバイアス電圧の供給に応答して動作する第3の電流源を有し相補の第2の入力信号の供給に応答して差動増幅し第2の差動信号を出力する第2の差動回路と、前記第2のバイアス電圧の供給に応答して動作する第4の電流源を有し前記第2の差動信号の供給に応答して前記第1の出力信号と逆極性の第2の出力信号を出力する相補型MOSトランジスタ回路から成る第2の出力回路とを含む第2の増幅器とを備える演算増幅器において、第1, 第2の電源の供給を受け前記第1, 第2のバイアス電圧の各々を発生するとともに制御信号の供給に応答してこれら第1, 第2のバイアス電圧の出力および停止の制御を行うバイアス電圧発生回路を備えて構成されている。

【0023】

【発明の実施の形態】次に、本発明の実施の形態を図4と共通の構成要素には共通の参照文字／数字を付して同様に回路図で示す図1を参照すると、この図に示す本実施の形態の演算増幅器は、従来の第1の演算増幅器のP型の増幅器20と共通の差動回路3および出力回路4を含む増幅器2とN型の増幅器50と共通の差動回路6および出力回路7を含む増幅器5とに加えて、電源VDD, VSSの供給を受けバイアス電圧VP, VNを出力するとともに制御信号Eのレベルに応答してバイアス電圧VP, VNの発生・停止を行うバイアス回路1を備える。

【0024】バイアス回路1は制御信号Eのレベルに応答してバイアス電圧VP, VNの発生・停止の制御を行う制御部11と、バイアス電圧VP, VNを発生するバイアス部12とを備える。

【0025】制御部11は、共通接続したゲートに制御信号Eの供給を受け各々のドレイン同志を共通接続しそれぞれのソースを電源VDD, VSSに接続したP, Nチャネル型のトランジスタP11, N11と、ゲートをトランジスタP11のドレインにソースを電源VDDにドレインを節点Pにそれぞれ接続したPチャネル型のトランジスタP12と、ゲートに制御信号Eの供給を受けソースを電源VSSにドレインを節点Nにそれぞれ接続したNチャネル型のトランジスタN12とを備える。

【0026】バイアス部12は、ソースを電源VDDにゲートとドレインを共通接続して節点Pにそれぞれ接続したPチャネル型のトランジスタP13と、ゲートに制御信号Eの供給を受けソースを節点Pにドレインを節点Nにそれぞれ接続したPチャネル型のトランジスタP14と、ソースを電源VSSにゲートとドレインを共通接続して節点Nにそれぞれ接続したNチャネル型のトランジスタN13とを備える。

【0027】次に、図1を参照して本実施の形態の動作について説明すると、まず通常動作時には、制御信号Eのレベルを電源電圧VSSに設定し、トランジスタP11がオン状態、トランジスタN11がオフ状態となる。これによりトランジスタP12はゲートに電源電圧VDDが供給されゲートソース間電圧VGSは0Vとなるのでオフ状態となる。また、トランジスタN12はゲートに電源電圧VSSが供給されゲートソース間電圧VGSは0Vとなるので同様にオフ状態となる。さらに、トランジスタP14はゲートに電源電圧VSSが供給されゲートソース間電圧VGSはVPとなるのでオン状態となる。この結果、ダイオード接続されたトランジスタP13のゲート・ドレインとトランジスタP14のソースとは同電位となりこの節点Pに電位バイアス電圧VPを発生する。この電圧VPはトランジスタP13のバイアス電流による電圧降下分だけ電源VDDより低い値となる。一方、トランジスタP14、N13の各々のドレインは同電位となりこの節点Nにバイアス電圧VNを発生する。この電圧VNはダイオード接続されたトランジスタN13のバイアス電流による電圧降下分だけ電源VSSより高い値となる。

【0028】次に、増幅器2の差動回路3、出力回路4の各々のトランジスタP31、P42のゲートにバイアス電圧VPを供給し、増幅器5の差動回路6、出力回路7の各々のトランジスタN61、P72のゲートにバイアス電圧VNを供給することによりこれら増幅器2、5は動作状態となる。

【0029】次に、低消費電流動作時には、制御信号Eのレベルを電源電圧VDDに設定し、トランジスタP11がオフ状態、トランジスタN11がオン状態となる。これによりトランジスタP12はゲートに電源電圧VSSが供給されオン状態となり、ドレインのレベルは電源電圧VDDとなる。これによりトランジスタP13はゲートに電源電圧VDDが供給されゲートソース間電圧VGSは0Vとなるのでオフ状態となる。また、トランジスタP14はソースが電源電圧VDDレベルとなりゲートに電源電圧VDDが供給されゲートソース間電圧VGSは0Vとなるのでオフ状態となる。さらに、トランジスタN12はゲートに電源電圧VDDが供給されゲートソース間電圧VGSはVDDとなるのでオン状態となり、節点Nに接続したドレインはVSSレベルとなる。トランジスタN13のゲートソース間電圧VGSはゲートが節点NのレベルVSS、ソースがVSSであるので0Vとなりオフ状態となる。したがって、バイアス回路1では、トランジスタP14がオフ状態であることからトランジスタP13、N13とが遮断され、バイアス電流が流れない。またバイアス電圧VP、VNはそれぞれVDD、VSSとなる。

【0030】次に、増幅器2の差動回路3、出力回路4の各々のトランジスタP31、P42のゲートに電源電

圧VDDレベルのバイアス電圧VPを供給すると、次のようにそれぞれ動作を停止する。まず、トランジスタP31のゲートにレベルVDDを供給すると、トランジスタP31のソースのレベルはもともと電源電圧VDDであるのでゲートソース間電圧は0となり、オフ状態となる。したがって差動対トランジスタP32、P33および負荷トランジスタN31、N32に対する電流の供給が停止し、トランジスタP33、N32のドレイン共通接続点のインピーダンスが上昇したがってこの節点の電位すなわち信号PSのレベルは不定となる。また、トランジスタP42のゲートに電圧VDDを供給するとこのトランジスタP42のソースのレベルはもともと電源電圧VDDであるのでゲートソース間電圧は0となり、オフ状態となる。これにより出力端子TPに対する吐出し電流が遮断される。

【0031】同様に、増幅器5の差動回路6、出力回路7の各々のトランジスタN61、P72のゲートに電源電圧VSSレベルのバイアス電圧VNを供給すると、増幅器2と逆極性となる他は同様の動作を行ない動作を停止する。すなわち、トランジスタN61がオフ状態となり、差動対トランジスタN62、N63および負荷トランジスタP61、P62に対する電流の供給が停止し、トランジスタN63、P62のドレイン共通接続点のインピーダンスが上昇し信号NQのレベルは不定となる。また、トランジスタN72はオフ状態となり、出力端子TNからの吸込み電流が遮断される。

【0032】次に、本発明の第2の実施の形態のバイアス回路1Aを図1と共通の構成要素は共通の文字を付して同様に回路図で示す図2を参照すると、この図に示すバイアス回路1Aの上述の第1の実施の形態との相違点は、トランジスタP14の代りにゲートをトランジスタP12のゲートと共通接続したNチャネル型のトランジスタN14を有するバイアス部12Aを備えることである。

【0033】動作については第1の実施の形態と同様である。

【0034】

【発明の効果】以上説明したように、本発明の演算増幅器は、第1、第2のバイアス電圧VP、VNの各々を発生するとともに制御信号Eの供給にตอบสนองしてこれらバイアス電圧VP、VNの出力および停止の制御を行うバイアス電圧発生回路を備えることにより、単一のバイアス回路でP、N両型の増幅器のバイアスを供給するとともに通常動作と低消費電流動作とを切替ることができるので、複数のバイアス回路で必要とした動作時の消費電流を低減するとともにチップ面積を縮小できるという効果がある。

【図面の簡単な説明】

【図1】本発明の演算増幅器の第1の実施の形態を示す回路図である。

【図2】本発明の演算増幅器の第2の実施の形態を示すバイアス回路の回路図である。

【図3】演算増幅器によるLCD駆動波形の一例を示す波形図である。

【図4】従来の第1の演算増幅器の一例を示す回路図である。

【図5】従来の第2の演算増幅器の一例を示す回路図である。

【符号の説明】

1, 1A, 8, 9, 15    バイアス回路  
2, 5, 20, 50    増幅器

3, 6    差動回路

4, 7, 17    出力回路

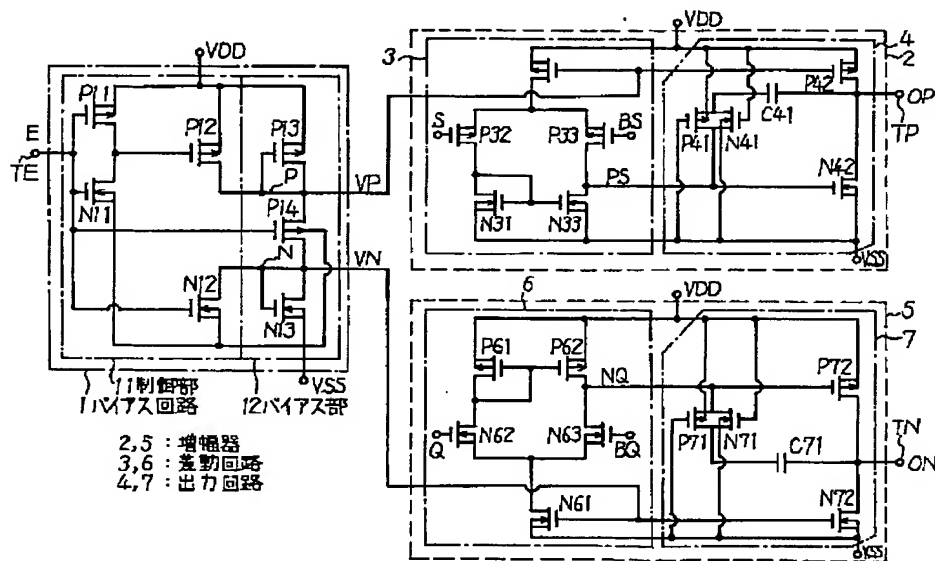
11    制御部

12    バイアス部

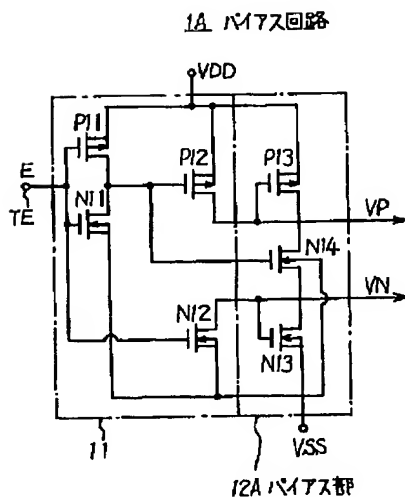
16    レベルシフト回路

N11~N14, N31, N32, N41, N42, N61~N63, N71, N72, N151, N152, N171~N173, P11~P14, P31~P33, P41, P42, P61, P62, P71, P72, P151~P153, P171~P174    トランジスタ

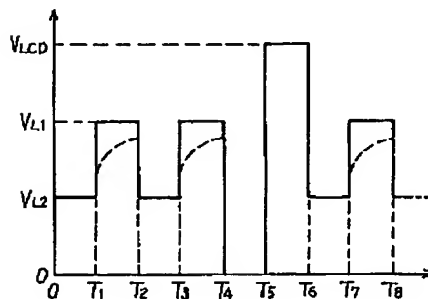
【図1】



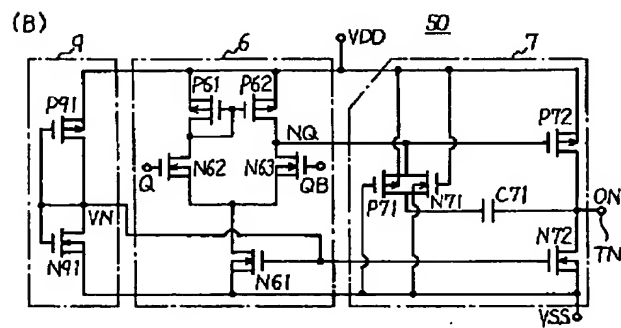
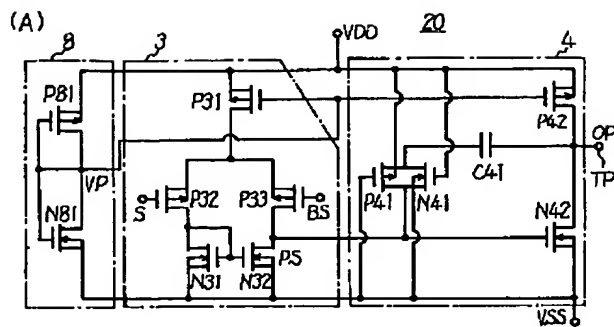
【図2】



【図3】



【図4】



3, 6 : 差動回路      8, 9 : バイアス回路  
4, 7 : 出力回路      20, 50 : 増幅器

【図5】

